|  |  |
| --- | --- |
| **Lab 1** | |
| 學號:109062318 | 姓名: 簡弘哲 |

1. 實作過程

{a, b, dir} = {a, b, dir} + 7'd1，用concatenation做+1比較直觀與輕鬆，非常好用的語法。

d !== {a[2:0], 1'b0}，slicing搭配concatenation達到left shift的效果。

lab1\_1 mylab1\_1\_left(.a(a), .b(b), .dir(0), .d(ls))，學會如何instantiate module。

一張含有 文字, 白板 的圖片

自動產生的描述

左圖是lab1\_1的block diagram，右圖是lab1\_2的block diagram，看到if …else if…覺得可以用mux來畫，雖然我不是很確定2,3的input signal可不可以直接接上a+b,a-b，aluctr應為2bits(在圖上忘記標示)。

1. 學到的東西與遇到的困難

一開始沒有加initial block就直接寫if的語法，顯示syntax error，卡了半小時也沒有頭緒，看了以前寫的verilog code以及網路上的範例以後才意識到高級的語法要寫在initial, always block裡。

後來發現在simulation的過程中，d的值一直是X也不知道為什麼，起初懷疑是wire沒有接好，或是wire跟reg的問題，後來想到因為a,b,dir的值一直會變，所以應該要用always@\* block而不是initial block，就解決了。

學會如何分辨wire & reg

在simulate lab1\_2的時候忘記把lab1\_1的module放到design source裡，導致有error，不過很快就解決了。

1. 想對老師或助教說的話

我覺得老師錄的那些影片對我來說獲益良多，有一個系統性的方法去學習verilog，不然大一下的邏設課程只有片段、瑣碎地教一部分verilog的語法，不太容易了解，讓我在寫verilog的時候不斷碰壁。

1. 同width的Wire type跟reg type可以這樣寫嗎?

wire w;

reg r;

assign w=r;

1. 可以直接拿一個常數跟wire type比較嗎?

wire w;

If(w==1’b0)

….